

⑫ 公開特許公報(A)

昭63-5272

⑤ Int. Cl.⁴G 01 R 31/00
31/28

識別記号

庁内整理番号

6829-2G
F-7807-2G

⑬ 公開 昭和63年(1988)1月11日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 出力異常検出機能付きロジック回路装置

⑮ 特 願 昭61-147029

⑯ 出 願 昭61(1986)6月25日

⑰ 発 明 者 山 田 典 生 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内
⑱ 出 願 人 富士通テン株式会社 兵庫県神戸市兵庫区御所通1丁目2番28号
⑲ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

出力異常検出機能付きロジック回路装置

2. 特許請求の範囲

出力端子と、

内部のロジック処理により形成されたロジックレベルの出力データを一時記憶して該出力端子に供給する出力バッファと、

該出力バッファの入力点に現われる該出力データのロジックレベルと該出力端子に現われる出力データのロジックレベルとを比較し、該比較に基づき該ロジックレベルが互いに異なるレベルになった時に出力異常を指示する手段と、
を備えてなる出力異常検出機能付きロジック回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、出力異常検出機能付きロジック回路装置に関し、さらに詳しく述べると、出力端子のショート、出力段における素子の異常等の出力異

常を自ら検出する機能を備えたロジック回路装置に関する。

(従来の技術、および発明が解決しようとする問題点)

上述したロジック回路装置の一例として例えばマイクロコンピュータを例にとると、このようなマイクロコンピュータにおいては、内部のロジック処理により形成された2進値の出力データを格納するための出力ポートレジスタを備えており、さらに、CPU(中央処理装置)からの出力命令により出力ポートレジスタから読出された出力データを一時記憶してバッファリングを行なった後、出力端子に供給する出力バッファを備えている。この場合、出力ポートレジスタの内容をCPUにおいて読込むことにより、出力異常、例えば出力端子のショート、出力バッファの異常、出力端子に接続される他の回路または装置の異常等、が生じているか否かの判断が行われるようになっている。

しかしながら、上述した出力異常の判断はCPUのソフトウェア処理に基づくものであり、CPUにおいて出力ポートレジスタの内容を常時監視する必要がある、しかも出力ポートレジスタからの出力データの出力命令実行後、常に出力ポートレジスタの内容を読み直す必要があるため、ソフトウェア処理によるCPUの負担が大きくなるという問題が生じる。このため、従来形のマイクロコンピュータにおいては出力異常時のフェールセーフ処理が実施されていない場合が多い。

本発明は、上述した従来技術における問題点に鑑み創作されたもので、比較的簡易構成で、出力端子のショート、出力段における回路素子の異常等の出力異常をハードウェア的に検出することができる出力異常検出機能付きロジック回路装置を提供することを目的としている。

(問題点を解決するための手段)

本発明によれば、出力端子と、内部のロジック処理により形成されたロジックレベルの出力デー

タを一時記憶して出力端子に供給する出力バッファと、この出力バッファの入力点に現われる出力データのロジックレベルと出力端子に現われる出力データのロジックレベルとを比較し、この比較に基づきこれらのロジックレベルが互いに異なるレベルになった時に出力異常を指示する手段と、を備えてなる出力異常検出機能付きロジック回路装置が提供される。

(作 用)

本発明による装置は、出力バッファの入力点に現われるロジックレベル(以下、 L_1 で表わす)と出力点すなわち出力端子に現われるロジックレベル(以下、 L_2 で表わす)が同じレベルにあるか否かを検出することにより、出力異常の検出を行うようにしている。

すなわち、 L_1 が“0”の場合には、出力バッファが正常の時は L_2 も“0”となるが、例えば出力バッファが内部で電源側にショートしている時、すなわち異常の時は L_2 が“1”となり、こ

れによって出力異常の指示が行われる。また、仮にバッファが正常であったとしても、出力端子に接続される他の装置または回路内の電源に出力端子がショートしている時は、同様に L_2 が“1”となり、出力異常の指示が行われる。

一方、 L_1 が“1”の場合には、出力バッファが正常の時は L_2 も“1”となるが、例えば出力バッファが内部でアース側にショートしている時は L_2 が“0”となり、これによって出力異常の指示が行われる。また、仮に出力バッファが正常であったとしても、出力端子がアース側にショートしている時は、同様に L_2 が“0”となり、出力異常の指示が行われる。

(実施例)

第1図には本発明の一実施例としての出力異常検出機能付きロジック回路装置の構成が示される。第1図の例示は、マイクロコンピュータの出力段における回路構成を示すものである。

第1図において、11は出力ポートレジスタで

あって、8ビット分の記憶領域を有しており、マイクロコンピュータ内部のロジック処理により形成されたロジックレベルの出力データを格納するためのものである。出力ポートレジスタ11の各ビット領域は、8個の出力バッファ12a~12hを介して、それぞれ出力端子13a、13b、…、13hに接続されている。14a~14hは排他的オアゲートであり、それぞれの排他的オアゲートには、出力バッファ12a~12hの各個の入力点に現われる信号 S_{1a} ~ S_{1h} および出力点に現われる信号 S_{2a} ~ S_{2h} が入力されるようになっている。排他的オアゲート14a~14hの各個の出力信号はオアゲート15に入力され、このオアゲート15の出力信号INTはCPU(図示せず)の割込み処理を行わせるための信号として用いられる。

また、排他的オアゲート14a~14hの各個の出力信号は、D形フリップフロップ16a~16hの各個のクロック端子CKに入力されるようになっている。フリップフロップ16a~16hの各個の入力端子Dは電源 V_{cc} に接続され、各個の出力端子Q

はそれぞれ出力異常レジスタ17の各ビット領域に接続されている。さらに、フリップフロップ16a~16hの各個のリセット端子Rはオアゲート18a~18hの各個の出力端子に接続されており、このオアゲート18a~18hの各個の一方の入力端子には、マイクロコンピュータの電源投入時に出力異常レジスタ17の内容を"0"にするためのリセット信号RSTが入力されるようになっており、オアゲート18a~18hの各個の他方の入力端子には、前述した割込み処理用の信号INTを受けてCPUが必要なフェールセーフ処理を実行した後出力異常レジスタ17の内容を"0"にするためのクリア信号CLRが入力されるようになっている。

次に、第1図に示される装置の作用について説明する。説明の簡単化のため、出力データの最上位ビットのみについて以下説明する。

まず、マイクロコンピュータの電源投入によってリセット信号RSTが出力され、オアゲート18aを介してフリップフロップ16aのリセット端

子Rに供給され、これにより、出力異常レジスタ17の内容が"0"にクリアされる。

(1) 出力正常の場合、すなわち出力バッファ12aが正常で、かつ、出力端子13aがショートしていない場合、

この場合には、出力ポートレジスタ11から読出された出力データ S_{1a} のロジックレベルと出力端子13aに現われる信号 S_{2a} のロジックレベルは同じレベルになる。従って、排他的オアゲート14aの出力レベルは"0"となり、フリップフロップ16aの出力端子Qに現われる信号レベルは"0"となる。これによって、出力異常レジスタ17の内容は"0"のままである。

(2) 出力異常の場合、すなわち出力バッファ12aが異常または出力端子13aがショートしている場合、

この場合には、出力バッファ12aの両端における信号 S_{1a} および S_{2a} のロジックレベルが互いに異なるレベルになる時がある。例えば、出力端子13aが外部でアース側にショートしている場合、

出力ポートレジスタ11から読出された出力データ S_{1a} が"0"の時は出力バッファ12aの両端における信号レベルは同じレベルとなるが、出力データ S_{1a} として"1"が読出された時は、信号 S_{2a} のレベルが"0"であるため、出力バッファ12aの両端における信号レベルは互いに異なるレベルとなる。

従って、排他的オアゲート14aの出力レベルは"1"となり、これにより、フリップフロップ16aの出力端子Qに現われる信号レベルが"1"になって、出力異常レジスタ17の当該記憶領域に"1"がセットされると共に、オアゲート15を介して割込み処理用信号INTが出力される。

CPUにおいては、この割込み処理用信号INTを受け、出力異常レジスタ17の内容を読込み、出力ポートレジスタ11のいずれのビットが異常であるかを検出し、必要なフェールセーフ処理を実行する。この処理が終了した時点で、クリア信号CLRが出力され、オアゲート18aを介してフリップフロップ16aのリセット端子Rに供給され、

これによって出力異常レジスタ17の当該記憶領域の"1"が"0"にクリアされる。

第1図に示される実施例によれば、排他的オアゲート14a~14hにより出力異常の指示が行われた時点で、CPUに割込み処理を行わせるようにしているので、従来形のように常に出力ポートレジスタの内容をソフトウェア的に監視する必要がなく、これによってCPUの負担が軽減される。

第2図には本発明の他の実施例が示される。第2図の例示は、IC(集積回路)に出力異常検出機能を持たせた場合の回路構成を示すものである。

オアゲート回路20において、複数(図示の例では2個)のオアゲート21a、21bの各個の入力側は、入力端子a1およびa2、入力端子b1およびb2にそれぞれ接続され、オアゲート21a、21bの各個の出力側は、それぞれ出力バッファ22a、22bを介して出力端子A、Bに接続されている。出力バッファ22a、22bの各個の入力点に現われる信号および出力点に現われる信号は、それぞれ排他的オアゲート23a(図示せず)、23b

に入力されるようになっている。排他的オアゲート23a、23bの各個の出力信号はオアゲート24に入力され、さらにこのオアゲート24の出力はD形フリップフロップ25のクロック端子CKに入力されるようになっている。フリップフロップ25の入力端子Dは電源Vccに接続され、出力端子Qはオアゲート回路20のチェック端子CHKに接続されている。また、出力端子Bはアンドゲート回路30内のアンドゲート31の一方の入力端子に接続されている。

第2図に示される回路構成において、今仮に、図示されるようにオアゲート回路20およびアンドゲート回路30間の配線に不具合、すなわちアース側へのショート、が発生した場合を考える。

この場合には、出力バッファ22bの出力点すなわち出力端子Bの信号レベルは“0”となる。従って、出力バッファ22bの入力点にロジックレベル“1”の信号が現われた時は、排他的オアゲート23bの出力レベルが“1”となり、オアゲート24を介してフリップフロップ25のクロック端

子CKに“1”レベルの信号が供給され、これによって出力端子Qすなわち回路のチェック端子CHKに“1”レベルの信号が現われ、出力異常の指示が行われる。

なお、上述した例示ではアース側へのショートのみを考慮したが、第2図に示される回路構成によれば、出力バッファに異常が生じた場合でも同様にチェック端子CHKに“1”レベルの信号が現われ、出力異常の指示が行われる。

〔発明の効果〕

以上説明したように本発明によれば、比較的簡易構成で、出力端子のショート、出力段における回路素子の異常等の出力異常を自ら検出することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例としての出力異常検出機能付きロジック回路装置の回路構成図、

第2図は本発明の他の実施例を示す回路構成図、である。

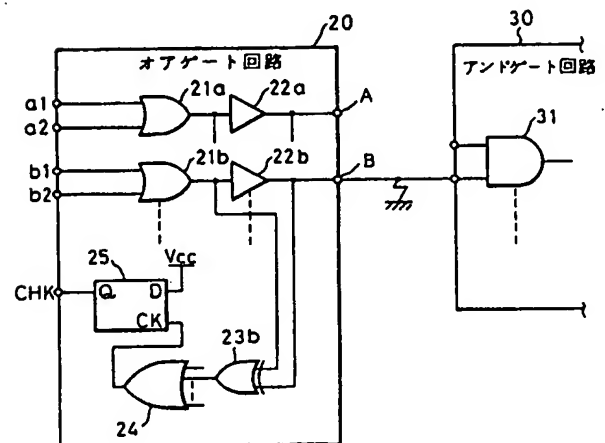
- 11…出力ポートレジスタ、
- 12a～12h…出力バッファ、
- 14a～14h…排他的オアゲート、
- 17…出力異常レジスタ、
- 22a、22b…出力バッファ、
- 23b…排他的オアゲート。

特許出願人

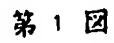
富士通テン株式会社

特許出願代理人

弁理士 青 木 朗
 弁理士 西 舘 和 之
 弁理士 平 岩 賢 三
 弁理士 山 口 昭 之
 弁理士 西 山 雅 也



第2図



- 403 -